

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-173468

(43)Date of publication of application : 26.07.1991

(51)Int.Cl.

H01L 27/092

H01L 27/04

H01L 29/784

(21)Application number : 01-313166

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 01.12.1989

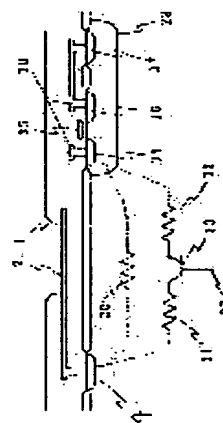
(72)Inventor : TAKAGI TETSUO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To prevent breakdown caused by static electricity or surge voltage, by arranging an outer connection part between all or a part of resistance elements and diode elements for input protection and active elements.

CONSTITUTION: An aperture part 1 and an aperture part wiring layer 2 are arranged in the middle part between an N-type diffusion layer (protecting resistance element) 4 and an N-type diffusion layer (well area) 28. Since, as a result, the distance between the layer 4 and the layer 28 is large, static electricity or surge current becomes hard to flow by virtue of parasitic resistors 31, 32, 30 of a P-type substrate 27 which are parasitic on the part between the layer 4 and the layer 28. Thereby an MOS transistor composed of the following can be protected; the layer 28, a drain 34 formed by P-type diffusion, a gate electrode 35, a source 36 formed by P-type diffusion, a subterminal part 37 formed by P-type diffusion, and a wiring layer 38.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-173468

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)7月26日

H 01 L 27/092
27/04
29/784

H 7514-5F

7735-5F
8422-5F

H 01 L 27/08
29/78

3 2 1 H
3 0 1 K

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 平1-313166

⑯ 出 願 平1(1989)12月1日

⑰ 発 明 者 高 木 哲 男 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑱ 出 願 人 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号

⑲ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

〔産業上の利用分野〕

本発明は半導体装置の入出力保護に関する。

〔発明の概要〕

本発明は半導体装置において、入力部に設置する静電気保護用の抵抗素子及びダイオード素子の全て又は1部と、能動素子を、外部との信号配線素子を接続する外部接続部(以下PAD部と呼ぶ)を中間に位置させることにより、面積を小さく、しかもラッチアップや静電気破壊に対し強くする事が可能となる。

〔従来の技術〕

半導体装置においては、外部からのサージ電圧、静電気から半導体装置自体を保護する目的で、多種の方法が考案されていた。一例として特開昭60-257576号公報に記載されたように、ダイオード素子及び抵抗素子により構成された保護回路が知られていた。

〔発明が解決しようとする課題〕

しかし、従来の保護回路の他に入力バッファ、出力バッファなどの能動素子を含めて外部との入

1. 発明の名称

半導体装置

2. 特許請求の範囲

外部からの入力端子部又は外部への出力端子部が抵抗素子を介し、P型半導体及びN型半導体により構成されるダイオード素子を通して能動素子部に至る静電気保護部と、内部能動素子部に対し、外部からの信号を伝搬させるための入力能動素子又は内部能動素子部から外部に対して信号を伝搬させるための出力能動素子により構成される半導体装置において、静電気保護部の構成素子の1部又は全てと、入力能動素子又は出力能動素子の中間位置に置かれた、外部との信号配線素子を接続する外部接続部を有することを特徴とする半導体装置。

3. 発明の詳細な説明

特開平3-173468(2)

出力部を構成する必要がある場合、保護回路に能動素子が接近しているために、サージ電圧が保護回路を介さず直接入出力バッファに印加される事になり破壊を起こす原因となる。又保護回路と入出力バッファを距離的に多く取る事は半導体装置のサイズ増加をもたらす、コスト的にも問題を生ずる事になる。

そこで、本発明はこのような問題を解決するためのもので、その目的とするところは、外部からのサージ電圧、静電気に対し強く、しかも面積効率の良い保護回路を提供する事を目的とする。

〔課題を解決するための手段〕

本発明の半導体装置は、外部からの入力端子部又は外部への出力端子部が抵抗素子を介し、P型半導体及びN型半導体により構成されるダイオード素子を通して能動素子部に至る静電気保護部と、内部能動素子部に対し、外部からの信号を伝搬させるための入力能動素子又は内部能動素子部から外部に対して信号を伝搬させるための出力能動素子により構成される半導体装置において、静

電気の開口部であり、2は開口部の配線材からの信号を半導体装置内部に取り込むための開口部配線層である。前記開口部配線層2は配線層・拡散層コンタクト3によりN型拡散層から成る静電気保護抵抗素子4に結線される。静電気保護抵抗素子4はこの例では拡散層である。前記静電気保護抵抗素子4はコンタクト3と別側のコンタクト5により信号配線層6に結線される。前記信号配線層6はP基板上に配置されたN型拡散層7及びN型拡散層8上に配置されたP型拡散層9に結線された後、MOS型トランジスタのゲート素子10に結線される。前記N型拡散層7、P型拡散層9はそれぞれP型拡散層11、N型拡散層12で囲まれる。前記P型拡散層11、N型拡散層12はそれぞれV_{DD}電源配線層13、V_{SS}電源配線層14に結線されることにより、静電気保護用ダイオードに構成される。前記ゲート素子10、P型拡散層から成るソース部15、ドレイン部16、N型拡散層から成るサブ端子部17によりP型トランジスタを構成し、又、前記ゲート素子10、N型

電気保護部又は静電気保護部の構成素子の1部又は全てと、入力能動素子又は出力能動素子の中間位置に置かれた、外部との信号配線材を接続する外部接続部を有する事を特徴とする。

〔作用〕

前述のように構成された半導体装置の場合、保護回路と入出力能動素子の間にPAD部が存在する。一般的にPAD部は100μmから200μmのエリアを必要とし、結果的に入出力バッファは保護回路の構成素子である抵抗素子又はダイオード素子と大きな抵抗成分をもって分離される事になる。このために保護回路は正常な動作が可能であり、外部からのサージ電圧又は静電気に対しても十分な強さを保持することが出来る。

〔実施例〕

以下に本発明について実施例に基づいて詳細に説明する。

第1図は、本発明の半導体装置の入力バッファ付きの保護回路の一実施例である。

1は半導体装置外部との信号配線を行なうため

の拡散層から成るソース部18、ドレイン部19、P型拡散層から成るサブ端子部20によりN型トランジスタを構成し、前記各ドレインを配線層22で結線することによりインバーター回路を構成している。

第2図は第1図のバターン回路例の回路図である。静電気保護抵抗23は第1図の例ではP型基板上のN型拡散層であるので、寄生ダイオード24が逆バイアスされV_{DD}電源に接続されている。

第5図は従来の入力バッファ付きの保護回路の実施例であり、インバーター回路部39は開口部1に対し、静電気保護抵抗4とならんで直近に配置されている。ただし回路図上では第1図の例の回路図である第2図と同じ構成である。

第4図に第5図の半導体装置の保護回路の断面図を示す。開口部配線層2に電源の電位よりも高い又は低いサージ電圧又は静電気印加された場合、正常な動作の場合、第2図の静電気保護抵抗23を介して、ダイオード25、26を経由してV_{DD}、V_{SS}の電源に吸収される。しかし第5図に

特開平3-173468(3)

示す例の場合、ダイオードへの吸収が行なわれない場合がある。その原因を第4図の断面図を例に説明する。

開口部配線層2に V_{DD} より電位的に低い電圧が印加された場合、N型拡散層28、P型基板27、N型拡散層4で構成される寄生バイポーラ・トランジスタは、P型基板27がベース、N型拡散層28がコレクタ、N型拡散層4がエミッタとなるため、P型基板27からN型基板4への電流の流れ込みにより、コレクタからエミッタすなわちN型拡散層28からN型拡散層4への過大電流が流れる事になる。そのため、N型拡散層28とP型基板又はP型基板とN型拡散層4のジャンクションが破壊されることになる。

開口部配線層2に V_{DD} より電位的に高い電圧が印加された場合、N型拡散層28及び4の間に大きな電界が発生し、P型基板27は寄生抵抗29としてふるまう。この場合も過電流が流れる事により、N型拡散層28とP型基板又はP型基板とN型拡散層4のジャンクションが破壊される。

が影響を与えないようにするためには、各パターン内の静電気保護抵抗は向かい合わせに配置すれば、本発明はさらに、半導体装置の全入出力端子に対して高信頼性が得られる。

〔発明の効果〕

本発明は入力保護のための抵抗素子、ダイオード素子の全て又は1部と能動素子の間にPAD部を配置する構成としたので、各素子の電的分離が行なわれ、静電気又はサージ電圧に対し破壊されない効果がある。

4. 図面の簡単な説明

第1図は本発明の実施例である半導体装置の入力セルパターン図。

第2図は入力保護回路の一例を示す回路図。

第3図は第1図の断面構造図。

第4図は従来の入力セルパターンの断面構造図。

第5図は従来の入力セルパターン図。

第6図は第1図を使用する場合の配置図。

第3図に本発明である半導体装置の保護回路の1例である第1図の断面図を示す。本図ではN型拡散層4及び28の間に開口部1及び開口部配線層2が配置されているため、N型拡散層4、28の距離がはなれているため、N型拡散層4及びN型拡散層28の間に寄生するP型基板27の寄生抵抗31、32、30により、静電気又はサージ電流が、流れ込みにくくなる。そのため、N型半導体28、P型拡散のドレイン34、ゲート材35、P型拡散層36、N型拡散層からなるサブ端子部37及び配線層38からなるMOS型トランジスタは保護されることになる。

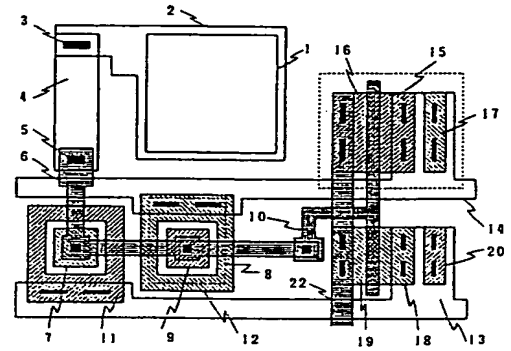
第1図の保護回路パターンを実際に使用する場合の配置例を第6図に示した。第6図に於ける各構成は、第1図と同様であり、第6図で用いた材料等の模様及び形は、第1図と同一の意味を示すものである。実際使用する場合においては、第1図のパターンを、横一列に配置する必要があるわけであるが、となりに配置されるパターン内のトランジスタに入力されたサージ電流又は静電気

- 1 開口部
- 2 開口部配線層
- 3、5 コンタクト層
- 4、23 N型拡散層による静電気保護抵抗素子
- 6 信号配線層
- 7、12 N型拡散層によるダイオード
- 8、28 N型拡散層によるWellエリア
- 9、11 P型拡散層によるダイオード
- 10、35 MOS型トランジスタのゲート素子
- 13 V_{DD} 電源配線
- 14 V_{SS} 電源配線
- 15、36 PchトランジスタのP型拡散によるソース部
- 16、34 PchトランジスタのP型拡散によるドレイン部
- 17、37 PchトランジスタのN型

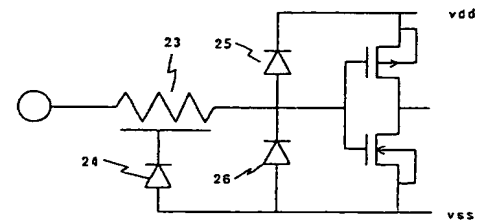
- 拡散によるサブ端子部
 18 NchトランジスタのN型
 拡散によるソース部
 19 NchトランジスタのN型
 拡散によるドレイン部
 20 NchトランジスタのP型
 拡散によるサブ端子部
 22 インバータ出力配線層
 24 静電気保護抵抗素子に寄生するダイオード
 25、26 静電気保護用ダイオード
 27 P型基板
 29、30、31、32 P型基板の寄生抵抗
 33 寄生バイポーラ・トランジスタ
 38 配線層
 39 インバータ部

以 上

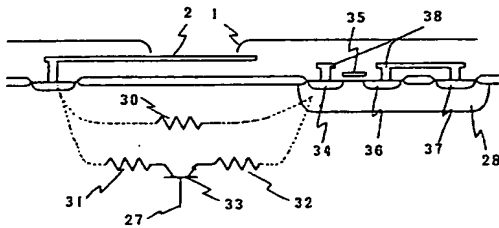
特開平3-173468 (4)



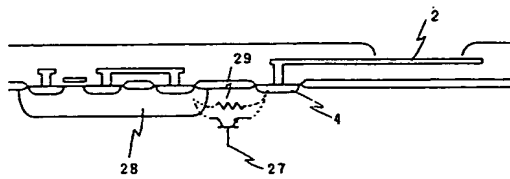
第 1 図



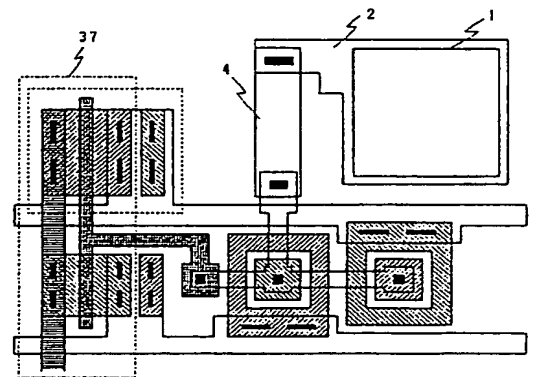
第 2 図



第 3 図

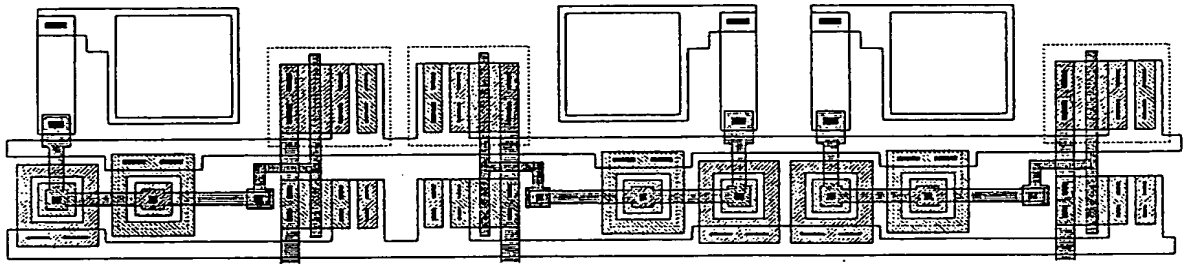


第 4 図



第 5 図

特開平3-173468 (5)



第 6 図